

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Nobutaka KITAGAWA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: ELECTROSTATIC DISCHARGE PROTECTION CIRCUIT DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-011175

MONTH/DAY/YEAR

January 20, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_

☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and


☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月20日

出 願 番 号

Application Number:

特願2003-011175

[ ST.10/C ]:

[ JP 2003-011175 ]

出 願 人

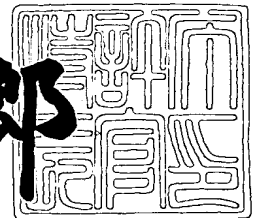
Applicant(s):

株式会社東芝

2003年 2月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3007488

【書類名】 特許願

【整理番号】 A000204292

【提出日】 平成15年 1月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/56

【発明の名称】 静電気放電保護回路装置

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
イクロエレクトロニクスセンター内

【氏名】 北川 信孝

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電気放電保護回路装置

【特許請求の範囲】

【請求項 1】 通常動作時に第 1 の電源電圧が供給される第 1 の外部端子と第 1 の接地端子の間に接続された第 1 の静電気保護回路と、

通常動作時に第 2 の電源電圧が供給される第 2 の外部端子と第 2 の接地端子の間に接続され、前記第 1 の静電気保護回路と同様の構成を有する第 2 の静電気保護回路と、

前記複数の静電気保護回路の各サージ検出出力ノードを相互に接続し、前記複数の静電気保護回路のうちの任意の静電気保護回路のサージ検出出力を残りの静電気保護回路にトリガ信号として伝達させるトリガ信号線と、

前記第 1 の接地端子には直接に接続され、前記第 2 の接地端子に対して順方向の向きの寄生ダイオード素子および逆方向の向きの寄生ダイオード素子を並列に介して接続され、前記複数の静電気保護回路で共通に使用される共通放電線

とを具備することを特徴とする静電気放電保護回路装置。

【請求項 2】 前記第 1 の静電気放電保護回路および第 2 の静電気放電保護回路は、それぞれ電圧クランプ素子およびトリガ回路およびサージ検出回路を有することを特徴とする請求項 1 記載の静電気放電保護回路装置。

【請求項 3】 前記電圧クランプ素子は、対応する前記外部端子と接地端子の間にアノード・カソード間が接続され、PNP トランジスタおよびNPN トランジスタからなるESD 保護用のSCR が用いられてなり、

前記トリガ回路は、対応する前記外部端子と前記NPN トランジスタのベースとの間にソース・ドレイン間が接続され、ソース・基板領域同士が接続され、ゲートが前記トリガバイアス線に接続されたSCR トリガ用の第 1 のPMOSトランジスタと、前記PNP トランジスタのベースと対応する前記接地端子の間にドレイン・ソース間が接続され、ソース・基板領域同士が接続され、ゲートが前記トリガ信号線に電氣的に接続されたSCR トリガ用のNMOSトランジスタとからなり、

前記サージ検出回路は、対応する前記外部端子と前記トリガ信号線との間に挿入され、ソース・基板領域同士が接続されたサージ検出用の第 2 のPMOSトランジ

スタおよびこれに直列に順方向の向きに接続されたダイオード

とからなることを特徴とする請求項 2 記載の静電気放電保護回路装置。

【請求項 4】 前記第 1 の外部端子から電氣的に分離された信号入出力用の第 3 の外部端子と前記複数の第 2 の接地端子のうちのいずれかの接地端子との間に接続された電圧クランプ兼トリガ素子および第 2 のサージ検出回路を有し、前記サージ検出回路の出力ノードが前記トリガ信号線に接続された第 3 の静電気保護回路をさらに具備することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の静電気放電保護回路装置。

【請求項 5】 前記電圧クランプ兼トリガ素子は、前記第 3 の外部端子と前記第 2 の接地端子の間にドレイン・ソース間が接続され、ソース・基板領域同士が接続され、ゲートが前記トリガ信号線に電氣的に接続された NMOS トランジスタからなり、

前記サージ検出回路は、前記第 3 の外部端子と前記トリガ信号線との間に挿入され、ソース・基板領域同士が接続されたサージ検出用の第 2 の PMOS トランジスタおよびこれに直列に順方向の向きに接続されたダイオード

からなることを特徴とする請求項 4 記載の静電気放電保護回路装置。

【請求項 6】 前記第 1 の外部端子および第 2 の外部端子のうちで最高電位が印加される外部端子と対応する接地端子との間に接続された積分回路と、

前記積分回路の出力ノードと前記静電気保護回路のサージ検出素子の各ゲートおよびトリガ素子の各ゲートに共通に接続された共通トリガバイアス線

とをさらに具備することを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の静電気放電保護回路装置。

【請求項 7】 前記トリガ信号線に接続され、装置電源投入時における前記トリガ信号線の電位を一定に保持する電位保持回路をさらに具備することを特徴とする請求項 6 記載の静電気放電保護回路装置。

【請求項 8】 前記電位保持回路は、

前記トリガ信号線に接続された電荷保持用の容量素子と、

前記トリガ信号線に接続され、装置電源投入時に前記トリガ信号が発生することを防止する時定数を前記容量素子とともに有し、前記容量素子の保持電荷を放

電する抵抗素子と、

前記トリガ信号線に接続された電圧リミッタ素子

とを具備することを特徴とする請求項 7 記載の静電気放電保護回路装置。

【請求項 9】 前記静電気保護回路は、それを内蔵する半導体集積回路装置の外部から供給される外部信号あるいは前記半導体集積回路装置の内部の設定により予め保護動作状態に設定可能な構成を有することを特徴とする請求項 1 記載の静電気放電保護回路装置。

【請求項 10】 前記半導体集積回路装置の内部で前記共通トリガバイアス線と接地端子との間に接続されたフューズ素子をさらに具備し、

前記半導体集積回路装置が応用製品の基板に実装された後に前記フューズ素子が半導体集積回路装置の外部から溶断されることを特徴とする請求項 6 または 9 記載の静電気放電保護回路装置。

【請求項 11】 前記半導体集積回路装置の内部で前記共通トリガバイアス線と接地端子との間に接続されたスイッチ素子をさらに具備し、

前記半導体集積回路装置が応用製品の基板に実装されるまでは前記スイッチ素子がオン状態に制御され、前記半導体集積回路装置が応用製品の基板に実装された後は前記スイッチ素子がオフ状態に制御されることを特徴とする請求項 6 または 9 記載の静電気放電保護回路装置。

【請求項 12】 前記共通トリガバイアス線に接続された外部設定端子と、前記外部設定端子と前記半導体集積回路装置の内部の任意の接地線との間に接続されたプルダウン用抵抗素子とをさらに具備し、

前記半導体集積回路装置が応用製品の基板に実装される際に前記外部設定端子が前記基板の電源配線パターンに接続されることを特徴とする請求項 6 または 9 記載の静電気放電保護回路装置。

【請求項 13】 前記複数の静電気保護回路は、同一の半導体集積回路装置内に形成されており、前記複数の静電気保護回路のうちで最初に静電気が印加されたことを検出した静電気保護回路のサージ検出回路の出力が前記トリガ信号線を介して残りの静電気保護回路のトリガ入力として供給されることを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の静電気放電保護回路装置。

【請求項 1 4】 前記第 1 の静電気放電保護回路および第 2 の静電気放電保護回路の各トリガ用 NMOS トランジスタに対応して並列に接続された複数の直流トリガ用 NMOS トランジスタと、

前記第 1 の静電気放電保護回路および第 2 の静電気保護回路のうちの任意の静電気保護回路における SCR の NPN トランジスタのベース電位を残りの静電気保護回路における前記直流トリガ用 NMOS トランジスタのゲートに伝達させる直流トリガ線

をさらに具備することを特徴とする請求項 3 乃至 1 3 のいずれか 1 項に記載の静電気放電保護回路装置。

【請求項 1 5】 前記第 1 の静電気放電保護回路および第 2 の静電気放電保護回路の各トリガ用 NMOS トランジスタに対応して並列に接続され、前記第 3 の静電気放電保護回路の電圧クランプ兼トリガ素子用 NMOS トランジスタに並列に接続された複数の直流トリガ用 NMOS トランジスタと、

前記第 1 の静電気放電保護回路および第 2 の静電気保護回路のうちの任意の静電気保護回路における SCR の NPN トランジスタのベース電位を残りの静電気保護回路における前記直流トリガ用 NMOS トランジスタのゲートに伝達させる直流トリガ線ゲート

をさらに具備することを特徴とする請求項 5 乃至 1 3 のいずれか 1 項に記載の静電気放電保護回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に静電気放電 (Electro Static Discharge; ESD) から回路を保護するために内蔵される静電気放電保護回路装置に関するもので、例えば低電源電圧タイプの CMOS LSI において ESD 保護用の電圧クランプ素子としてシリコン制御整流素子 (Silicon controlled rectifier; SCR) を用いる ESD 保護回路に適用されるものである。

【0 0 0 2】

【従来の技術】



例えばCMOS LSIの入力回路や出力回路をESD 破壊から保護するために接続されているESD 保護回路は、保護素子として、ダイオードあるいはトランジスタあるいはSCR を用いたものがある。

#### 【 0 0 0 3 】

SCR を用いたESD 保護回路は、一般にSCR の動作電圧が高いので、動作電源が低電圧化されている微細化されたCMOS LSIに適用した場合に、ゲート耐圧が低いMOS トランジスタを保護するために低電圧トリガを可能にする必要がある。

#### 【 0 0 0 4 】

このような背景から、低電源電圧タイプのCMOS LSIにSCR を用いたESD 保護回路を適用した例が非特許文献 1 に開示されている。

#### 【 0 0 0 5 】

図 9 は、上記非特許文献 1 に開示されているCMOS LSIの入力回路に接続されたESD 保護回路の主要部を示す等価回路図である。ここでは、ESD 保護回路のSCR としてLVTSCR (Low-Voltage Triggered lateral SCR 、低電圧トリガ可能な横型SCR ) を用いた例(従来例 1)を示している。

#### 【 0 0 0 6 】

図 9 において、内部回路(Internal circuits) に接続されている入力パッドPAD と電源電位VDD が印加されるVDD ノードとの間に第 1 のESD 保護回路121 が接続されており、入力パッドPAD と接地電位VSS(GND)との間に第 2 のESD 保護回路122 が接続されている。

#### 【 0 0 0 7 】

上記第 1 のESD 保護回路121 は、VDD ノードと入力パッドPAD との間に第 1 のSCR であるLVTSCR1 のアノード・カソード間が接続されている。このLVTSCR1 は、PNP トランジスタQ1のベース・コレクタ間に並列にNPN トランジスタQ2のコレクタ・ベース間が接続されてなり、上記PNP トランジスタQ1のエミッタがアノードとなり、上記NPN トランジスタQ2のエミッタがカソードとなっている。

#### 【 0 0 0 8 】

そして、VDD ノードとNPN トランジスタQ2のベースとの間に、ゲート酸化膜が薄く形成されたPMOSトランジスタMp1 のソースS ・ドレインD 間が接続され、そ

のゲートG はVDD ノードに接続されている。

【 0 0 0 9 】

また、PNP トランジスタQ1のベースおよびNPN トランジスタQ2のコレクタ (N-Well) とVDD ノードとの間にはウエル抵抗 $R_{w1}$  が存在し、NPN トランジスタQ2のエミッタと入力パッドPAD との間にはウエル抵抗 $R_{w2}$  が存在し、PNP トランジスタQ1のコレクタおよびNPN トランジスタQ2のベース (p-sub ) とGND との間には基板抵抗 $R_{sub1}$  が存在する。

【 0 0 1 0 】

第2のESD 保護回路122 は、入力パッドPAD とGND との間に第2のSCR であるLVTSCR2 のアノード・カソード間が接続されている。このLVTSCR2 は、PNP トランジスタQ3のベース・コレクタ間に並列にNPN トランジスタQ4のコレクタ・ベース間が接続されてなり、上記PNP トランジスタQ3のエミッタがアノードとなり、上記NPN トランジスタQ4のエミッタがカソードとなっている。

【 0 0 1 1 】

そして、PNP トランジスタQ3のベースとNPN トランジスタQ4のエミッタとの間に、ゲート酸化膜が薄く形成されたNMOSトランジスタ $M_{n1}$  のドレインD ・ソースS 間が接続され、そのゲートG はGND に接続されている。

【 0 0 1 2 】

また、PNP トランジスタQ3のベースおよびNPN トランジスタQ4のコレクタ (N-Well) とVDD ノードとの間にはウエル抵抗 $R_{w3}$  が存在し、NPN トランジスタQ4のベース (NMOSトランジスタ $T_N$ の基板領域) とGND との間には基板抵抗 $R_{sub2}$  が存在する。

【 0 0 1 3 】

図9中に示した第2のESD 保護回路122 は、入力パッドPAD に正極性のサージ電圧が入力した時に、LVTSCR2 にスナップバック耐圧以上の電圧が印加されると、スナップバック電流をベース電流としてLVTSCR2 がオンになってサージ電流をGND に放電することにより、入力回路の入力ゲートを保護するように動作する。

【 0 0 1 4 】

しかし、LVTSCR2 に印加されたスナップバック耐圧以上の電圧がNMOSトランジ

スタMn1 のゲート耐圧よりも高い場合には、サージ電圧入力により内部回路にダメージを与えるという問題があった。

【 0 0 1 5 】

図 1 0 は、前記非特許文献 1 に開示されている別のESD 保護回路の主要部を示す回路図である。ここでは、ESD 保護回路のSCR として、ゲート結合テクニックを用いた一層低電圧トリガ可能な横型SCR を用いた例（従来例 2）を示している。

【 0 0 1 6 】

図 1 0 において、第 1 のESD 保護回路151 は、図 9 中に示した第 1 のESD 保護回路121 と比べて、次の点（1）～（4）が異なり、その他は同じである。

【 0 0 1 7 】

（1）図 9 中のLVTSCR1 に代えて 1 個のPTLSCR（PMOS-Triggered lateral SCR、PMOSトランジスタによるトリガ可能な横型SCR）が用いられている。

（2）VDD ノードとPTLSCRのゲートノード（NPN トランジスタQ2）のベースとの間に並列にPMOSトランジスタMp1 のソース・ドレイン間が接続されている。

（3）VDD ノードとPMOSトランジスタMp1 のゲートとの間に抵抗素子Rpが接続されている。

（4）PMOSトランジスタMp1 のゲートと入力パッドPAD との間に容量素子Cpが接続されている。

また、第 2 のESD 保護回路152 は、図 9 中に示した第 2 のESD 保護回路122 と比べて、次の点（1）～（4）が異なり、その他は同じである。

【 0 0 1 8 】

（1）図 9 中のLVTSCR2 に代えて 1 個のNTLSCR（NMOS-Triggered lateral SCR、NMOSトランジスタによるトリガ可能な横型SCR）が用いられている。

（2）NTLSCRのゲートノード（PNP トランジスタQ3のベース）とカソード（NPN トランジスタQ4のエミッタ）の間に並列にNMOSトランジスタMn1 のドレイン・ソース間が接続されている。

（3）入力パッドPAD とNMOSトランジスタMn1 のゲートとの間に容量素子Cnが接続されている。

(4) NMOSトランジスタMn1 のゲートとGND との間に抵抗素子Rnが接続されている。

上記構成において、PTLSCRを用いた第1のESD 保護回路151 は、入力パッドPAD に負極性のサージ電圧が入力した時に、PMOSトランジスタMp1 が過渡的にオンになってPTLSCRにトリガをかける。これにより、サージ電流をVDD ノードに吸収し、入力回路の入力ゲートを保護する。この場合、PMOSトランジスタMp1 は、抵抗素子Rpと容量素子Cpによる所定時間の遅延後にオフ状態に戻る。

【0019】

また、NTLSCRを用いた第2のESD 保護回路152 は、入力パッドPAD に正極性のサージ電圧が入力した時に、NMOSトランジスタMn1 が過渡的にオンになってNTLSCRにトリガをかける。これにより、サージ電流をGND に吸収し、入力回路の入力ゲートを保護する。この場合、NMOSトランジスタMn1 は、容量素子Cnと抵抗素子Rnによる所定時間の遅延後にオフ状態に戻る。

【0020】

なお、特許文献1には、多電源LSI において共通放電線に保護素子を取り付ける技術が開示されているが、共通放電線は電源線／接地線とは別に用意する必要があり、サイズの不利である。

【0021】

また、特許文献2には、最大面積を有する回路の接地線と信号線、電源線との間に電流経路を持つように保護素子を配置する技術が開示されている。

【0022】

【非特許文献1】

"A Gate-Coupled PTLSCR/NTLSCR ESD Protection Circuit for Deep-Submicron Low-Voltage CMOS IC's 1", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.32, NO.1, JANUARY 1997

【0023】

【特許文献1】

特開平8-321586号公報

【0024】

【特許文献 2】

特公平 6 - 5 7 0 5 公報

【0 0 2 5】

【発明が解決しようとする課題】

上記したように従来のSCR を用いたESD 保護回路は、SCR が接続されている入力パッドのサージ電圧入力時の過渡的な電位変化を利用してトリガをかけており、必ずしも良好な保護特性が得られないという問題があった。

【0 0 2 6】

この問題点を解決するために、本願出願人は、特願2002-118253号の「半導体装置」により、低電源電圧化が進んでいるLSI にSCR を用いたESD 保護回路を適用する場合に、低電圧トリガで良好な保護特性を実現し、信頼性を高めることが可能になる半導体装置を提案した。

【0 0 2 7】

図 1 1 は、上記提案に係る半導体装置の一例に係るCMOS LSIにおいてSCR を用いたESD 保護回路の適用例を示す回路図である。

【0 0 2 8】

この半導体装置は、通常動作時に第 1 の電源電圧が供給される第 1 の外部端子と、この第 1 の外部端子から電氣的に分離された第 2 の外部端子および第 3 の外部端子と、これらの第 2 の外部端子と第 3 の外部端子の間にアノード・カソード間が接続され、PNP トランジスタおよびNPN トランジスタからなるESD 保護用のSCR と、第 2 の外部端子とNPN トランジスタのベースとの間にソース・ドレイン間が接続され、ソース・基板領域同士が接続され、ゲートが第 1 の外部端子に電氣的に接続されたSCR トリガ用のPMOSトランジスタとを具備することを特徴とする。

【0 0 2 9】

図 1 2 は、図 1 1 中の第 1 のESD 保護回路101 を取り出して示す等価回路図である。このESD 保護回路101 は、CMOS LSIの例えば入力回路10に接続されている入力パッド15とGND パッド14との間に接続されており、入力パッド15とGND との間にアノード・カソード間が接続されたESD 保護用のSCR を有する。このSCR は

、PNP トランジスタQ5のベース・コレクタ間に並列にNPN トランジスタQ6のコレクタ・ベース間が接続されてなり、上記PNP トランジスタQ5のエミッタがアノードとなり、上記NPN トランジスタQ6のエミッタがカソードとなっている。上記NPN トランジスタQ6のベースとGND との間には基板抵抗 $R_{sub}$ が存在する。

## 【 0 0 3 0 】

そして、入力パッド15とNPN トランジスタQ6のベースとの間には、トリガ入力用のPMOSトランジスタQPのソースS・ドレインD 間が接続され、そのゲートG はVDD1パッド11に接続されている。このPMOSトランジスタQPの基板領域はソースSに接続されている。なお、上記SCR の逆電圧印加時に順方向バイアスとなる逆方向電流吸収用のダイオード（図 1 1 中のD ）がSCR に並列に接続されている。

## 【 0 0 3 1 】

上記構成において、サージ電圧の入力が問題となる時、VDD1パッド11は、未だ正規の電源電位VDD1が印加されておらず、トリガ入力用のPMOSトランジスタQPのゲートはGND になっている。

## 【 0 0 3 2 】

したがって、この状態で入力パッド15に正極性のサージ電圧が入力した時、PMOSトランジスタQPゲート・ソース間にそのゲート閾値電圧 $V_{thp}$ の絶対値より大きな順方向のバイアスが印加されるとオンになる。

## 【 0 0 3 3 】

これにより、SCR にトリガがかかり、SCR がオンになってサージ電流をGND に放電し、入力回路10の入力ゲートを保護する。この場合、PMOSトランジスタQPのゲート閾値電圧 $V_{thp}$ の絶対値は小さいので、低電圧トリガによるSCR の起動が可能になる。

## 【 0 0 3 4 】

図 1 3 は、図 1 1 中のSCR の電圧・電流特性を概略的に示す特性図である。

## 【 0 0 3 5 】

この特性は、SCR のホールド電圧以上の領域で、SCR の耐圧以下の低いトリガ電圧が入力することにより、ESD 電流が流れる様子を示している。

## 【 0 0 3 6 】

ところで、上記したようなESD 保護用のSCR とSCR トリガ用のPMOSトランジスタとを有するESD 保護回路を、例えば多電源を用いる半導体装置における各電源パッド間・各信号パッド間にそれぞれ内蔵させると、チップ上における多数のESD 保護回路によるパターン占有面積が著しく増大し、チップサイズの増大をまねくおそれがある。

【 0 0 3 7 】

本発明は上記の問題点を解決すべくなされたもので、半導体装置に複数のESD 保護回路を内蔵する場合でも、チップサイズの増大を抑制しつつ良好な保護特性を実現し、信頼性を高めることが可能になる静電気放電保護回路装置を提供することを目的とする。

【 0 0 3 8 】

【課題を解決するための手段】

本発明の静電気放電保護回路装置は、通常動作時に第1の電源電圧が供給される第1の外部端子と第1の接地端子の間に接続された第1の静電気保護回路と、通常動作時に第2の電源電圧が供給される第2の外部端子と第2の接地端子の間に接続され、第1の静電気保護回路と同様の構成を有する第2の静電気保護回路と、複数の静電気保護回路の各サージ検出出力ノードを相互に接続し、複数の静電気保護回路のうちの任意の静電気保護回路のサージ検出出力を残りの静電気保護回路にトリガ信号として伝達させるトリガ信号線と、第1の接地端子には直接に接続され、第2の接地端子に対しては順方向の向きの寄生ダイオード素子および逆方向の向きの寄生ダイオード素子を並列に介して接続され、複数の静電気保護回路で共通に使用される共通放電線とを具備することを特徴とする。

【 0 0 3 9 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【 0 0 4 0 】

なお、以下の各実施形態において、複数のパッドは、同一半導体チップ（LSIチップ）上に形成されており、このチップがパッケージングされた場合にはそれぞれ半導体装置の外部接続端子（ピン、バンプ電極など）に接続されるものである。

る。

#### 【 0 0 4 1 】

##### < 第 1 の実施形態 >

図 1 は、本発明の第 1 の実施形態に係る SCR を用いた ESD 保護回路装置を内蔵した CMOS LSI の一部を示す回路図である。

#### 【 0 0 4 2 】

図 1 において、211 は通常動作時に第 1 の電源電位 VDD1 が印加される VDD1 パッド、221 は第 1 の接地電位 GND1 が与えられる GND1 パッドである。212 は通常動作時に第 2 の電源電位 VDD2 (例えば 1.5V) が印加される VDD2 パッド、222 は第 2 の接地電位 GND2 が与えられる GND2 パッドである。213 は通常動作時に第 3 の電源電位 VDD3 が印加される VDD3 パッド、223 は第 3 の接地電位 GND3 が与えられる GND3 パッドである。

#### 【 0 0 4 3 】

本例では、VDD1 として外部電源入力而降圧された LS 用電源電圧 (例えば 1.5V) が印加され、VDD2 として外部電源入力而降圧された例えば 2.5V が印加され、VD D3 として外部電源入力である例えば 3.3V (最高電位) が印加される。

#### 【 0 0 4 4 】

VDD1 パッド 211 と GND1 パッド 221 の間には、メイン内部回路 23 および第 1 の ESD 保護回路 (ESD1) 311 が接続されており、VDD2 パッド 212 と GND2 パッド 222 の間には、内部回路 24 および第 2 の ESD 保護回路 (ESD2) 312 が接続されており、VDD3 パッド 213 と GND3 パッド 223 の間には、入出力 (I/O) 回路 25 と通常の出カバッファ回路 26 と第 3 の ESD 保護回路 (ESD3) 313 が接続されている。

#### 【 0 0 4 5 】

そして、VDD1 パッド 211 ～ VDD3 パッド 213 から電氣的に分離された信号入出力用の I/O パッド 27 は I/O 回路 25 の入出力端に接続されており、上記 I/O パッド 27 と GND3 パッド 223 との間には第 4 の ESD 保護回路 (ESD4) 314 が接続されている。

#### 【 0 0 4 6 】

また、VDD1 パッド ～ VDD3 パッド から電氣的に分離された出力 (OUT) パッド 28 は



出力バッファ回路26の出力端に接続されており、出力パッド28とGND3パッド223との間には第5のESD 保護回路(ESD5)315 が接続されている。

## 【 0 0 4 7 】

さらに、最高電位が印加されるVDD3パッド213 と対応するGND3パッド223 との間に抵抗素子R および容量素子C の直列接続からなる積分回路29が接続されている。そして、この積分回路29の出力ノード (R およびC の直列接続ノード) と、第1のESD 保護回路311 ～第4のESD 保護回路314 の各トリガ素子のゲートと、第1のESD 保護回路311 ～第5のESD 保護回路315 の各サージ検出素子のゲートは、共通トリガバイアス線30により共通に接続されている。

## 【 0 0 4 8 】

また、第1のESD 保護回路311 ～第5のESD 保護回路315 の各サージ検出出力ノードを相互に接続し、これらの第1のESD 保護回路311 ～第5のESD 保護回路315 のうちの任意のサージ検出出力を残りのESD 保護回路のトリガ信号として伝達させるトリガ信号線40が形成されている。

## 【 0 0 4 9 】

第1のESD 保護回路311 ～第4のESD 保護回路314 は、それぞれ電圧クランプ素子とトリガ回路部およびサージ検出回路部を有し、第5のESD 保護回路315 は、電圧クランプ兼トリガ素子およびサージ検出回路部を有する。

## 【 0 0 5 0 】

次に、第1のESD 保護回路311 ～第4のESD 保護回路314 の構成を詳細に説明する。

## 【 0 0 5 1 】

電圧クランプ素子として、対応するVDD1パッド211 ～VDD3パッド213 あるいはI/O パッド27とGND1パッド221 ～GND3パッド223 との間にアノード・カソード間が接続され、PNP トランジスタQPおよびNPN トランジスタQNからなるサイリスタSCR が用いられている。

## 【 0 0 5 2 】

トリガ回路部は、SCR トリガ用のPMOSトランジスタTP1 とSCR トリガ用のNMOSトランジスタTNとからなる。上記PMOSトランジスタTP1 は、対応するVDD1パッド

211 ～VDD3パッド213 あるいはI/O パッド27とNPN トランジスタQNのベースとの間にソース・ドレイン間が接続され、ソース・基板領域同士が接続され、ゲートが共通トリガバイアス線30に接続されている。SCR トリガ用のNMOSトランジスタTNは、PNP トランジスタQPのベースと対応するGND1パッド221 ～GND3パッド223の間にドレイン・ソース間が接続され、ソース・基板領域同士が接続され、ゲートがトリガ信号線40に接続されている。

## 【 0 0 5 3 】

サージ検出回路部は、ソース・基板領域同士が接続されたサージ検出用のPMOSトランジスタTP2 およびこのPMOSトランジスタのソース・ドレイン間に対して直列に順方向の向きに接続されたダイオードD とからなる。上記サージ検出用のPMOSトランジスタTP2 は、対応するVDD1パッド211 ～VDD3パッド213 あるいはI/Oパッド27にソースが接続され、共通トリガバイアス線30にゲートが接続されており、ダイオードC のカソードはトリガ信号線40に接続されている。

## 【 0 0 5 4 】

そして、上記各ESD 保護回路311 ～314 には、それぞれ対応してSCR の逆電圧印加時に順方向バイアスとなってSCR とは逆向きの電流を流すための逆方向電流吸収用のダイオード32が、SCR に対して並列に接続されている。

## 【 0 0 5 5 】

次に、第5のESD 保護回路315 の構成を説明する。

## 【 0 0 5 6 】

第5のESD 保護回路315 においては、電圧クランプ兼トリガ素子は、出力パッド28とGND3パッド223 との間にドレイン・ソース間が接続され、ソース・基板領域同士が接続され、ゲートがトリガ信号線40に接続されたNMOSトランジスタTNからなり、そのゲートはトリガ信号線40に接続されている。

## 【 0 0 5 7 】

サージ検出回路部は、対応するVDD2パッドとトリガ信号線40との間に挿入され、ソース・基板領域同士が接続されたサージ検出用のPMOSトランジスタTP2 およびこのPMOSトランジスタTP2 のソース・ドレイン間に対して直列に順方向の向きに接続されたダイオードD とからなる。上記サージ検出用のPMOSトランジスタTP

2のゲートは共通トリガバイアス線30に接続されており、上記ダイオードD のカソードはトリガ信号線40に接続されている。

【 0 0 5 8 】

即ち、第1のESD 保護回路ESD1～第5のESD 保護回路ESD5の各サージ検出用のPMOSトランジスタTP2 のゲートは共通トリガバイアス線30に共通に接続されており、各サージ検出回路部のダイオードD のカソード同士がトリガ信号線40に共通に接続されている。

【 0 0 5 9 】

そして、GND1パッド221 には、直接に共通放電線33が接続されている。この共通放電線33は、GND2パッド222 およびGND3パッド223 の間にそれぞれ順方向の向きの寄生ダイオード素子34と逆方向の向きの寄生ダイオード素子35を並列に介して接続されており、各ESD 保護回路ESD1～ESD3で共通に使用される。

【 0 0 6 0 】

さらに、装置電源投入時におけるトリガ信号線40の電位を一定に保持する電位保持回路41が、トリガ信号線40とGND1パッド221 との間に接続されている。この電位保持回路41は、トリガ信号線40と共通放電線33との間に接続された電荷保持用の容量素子42と、トリガ信号線40と共通放電線33との間に接続され、容量素子42の保持電荷を放電する抵抗素子43と、トリガ信号線40と共通放電線33との間に接続された電圧リミッタ素子とを有する。この電圧リミッタ素子は、それぞれドレイン・ゲート同士が接続（ダイオード接続）され、互いに直列に接続された複数個（本例では2個）のNMOSトランジスタ45からなる。なお、上記抵抗素子43は、装置電源投入時にトリガ信号線40にトリガ信号が発生することを防止する役割を果たすように、容量素子42とともに所要の時定数を有する。

【 0 0 6 1 】

次に、図1の回路の動作を説明する。

【 0 0 6 2 】

図1の回路において、各ESD 保護回路311 ～314 におけるSCR トリガ用のPMOSトランジスタTP1 とサージ検出用のPMOSトランジスタTP2 の各ゲートが接続されるノード（共通トリガバイアス線30を介して接続されている積分回路29の出力ノ

ード) は、CMOS LSIの通常動作時には最高電位VDD3になるが、サージ電圧の入力が問題となる時(例えばCMOS LSIの使用前)には接地電位になっている。

#### 【 0 0 6 3 】

サージ電圧の入力が問題となる状態において、通常、VDD1パッド211 ~VDD3パッド213、共通トリガバイアス線30およびトリガ信号線40は未だ正規の電源電位が印加されておらず、接地電位になっている。

#### 【 0 0 6 4 】

したがって、例えばI/O パッド27に正極性のサージ電圧が入力した時には、ESD 保護回路314 のサージ検出用のPMOSトランジスタTP2 のゲート・ソース間に、そのゲート閾値電圧 $V_{thp}$ の絶対値より大きな順方向のバイアスが印加されると、PMOSトランジスタTP2 がオンになる。これにより、電圧クランプ素子であるサイリスタSCR にトリガがかかってオンになり、I/O パッド27・GND3パッド223 間にサージ電流を放電させ、対応して接続されているI/O 回路25を保護する。

#### 【 0 0 6 5 】

これと同時に、ESD 保護回路314 によるサージ検出出力がトリガ信号線40を介して他のESD 保護回路311 ~313、315 のトリガ素子であるNMOSトランジスタTNをオンさせるので、それらの電圧クランプ素子(サイリスタSCR) がオンになって対応する電源系のVDD3パッド213・GND3パッド223 間および出力パッド28・GND3パッド223 間をそれぞれクランプし、サージ電流が流れる前に低抵抗電流経路を形成し、それぞれの電源系の電源端子・接地端子間に接続されている内部回路を保護する。

#### 【 0 0 6 6 】

また、サージ電圧の入力が問題となる状態において、出力パッド28に正極性のサージ電圧が入力した時には、ESD 保護回路315 の電圧クランプ兼トリガ素子であるNMOSトランジスタTNにトリガがかかる。これにより、NMOSトランジスタがオンになり、出力パッド28・GND3パッド223 間にサージ電流を放電させ、対応する出力バッファ回路26を保護する。

#### 【 0 0 6 7 】

これと同時に、ESD 保護回路315 によるサージ検出出力がトリガ信号線40を介

して他のESD 保護回路311 ~314 のトリガ素子であるNMOSトランジスタTNをオン  
さ、それらの電圧クランプ素子であるサイリスタSCR がオンせるので、対応する  
電源系の電源端子・接地端子間およびI/O パッド27・GND3間をそれぞれクランプ  
し、サージ電流が流れる前に低抵抗電流経路を形成し、それぞれの電源系に対応  
する電源端子・接地端子間に接続されている内部回路を保護する。

## 【 0 0 6 8 】

したがって、第1の実施形態の静電気放電保護回路装置によれば、多電源を用  
いる半導体装置における各電源パッド間・各信号パッド間にそれぞれESD 保護回  
路を内蔵させなくても支障がなく、つまり、原理的に内部電源間や信号間の保護  
が不要になるので、チップ上における多数のESD 保護回路によるパターン占有面  
積を大幅に削減し、チップサイズを削減することが可能になる。

## 【 0 0 6 9 】

また、上記したような動作に際して、トリガされたサイリスタSCR は、それ自  
体の正帰還作用によってオン動作が維持されるので、トリガ入力用のPMOSトラ  
ンジスタTP1 はサージ入力の印加直後からサイリスタSCR がトリガされるまでの短  
時間だけオンすればよい。しかも、トリガ入力用のPMOSトランジスタTP1 のゲ  
ート閾値電圧 $V_{thp}$ の絶対値は小さいので、低電圧トリガによるサイリスタSCR の起  
動が可能になる。

## 【 0 0 7 0 】

ところで、サージ入力源として代表的な複数のモデルとサージ入力波形につい  
て簡単に説明する。

## 【 0 0 7 1 】

図2 (a) に示す人体モデル (HBM) の場合には、サージ入力波形は小電流  
の単発波形である。

## 【 0 0 7 2 】

図2 (b) に示すマシンモデル (MM) の場合には、サージ入力波形は中電流  
の両極性の (サージ入力の極性が交互に反転する) 振動波形である。

## 【 0 0 7 3 】

図2 (c) に示すパッケージ帯電モデル (CDM) の場合には、サージ入力波

形は高速大電流の両極性の振動波形である。

【 0 0 7 4 】

図 3 および図 4 は、図 1 の回路のマシンモデル (MM) での動作を説明するために、一部の回路を取り出してマシンモデル (MM) での動作波形の一例を示す回路図および波形図である。

【 0 0 7 5 】

図 3 に示す回路において、VDD1パッド211・VDD2パッド212 間にマシンモデル (MM) のサージ電圧入力が入加された場合、正極性のサージ電圧が入力した時にESD 保護回路311 がオン動作になって正のサージ電流 (プラス電流) を図中に示す経路に流し、サージ電圧をクランプするので、それに対応する内部回路23を保護する。この後、逆極性のサージ電圧がVDD2パッド、VDD3パッド、I/O パッド 27、出力パッド28のいずれかに入力した時、負のサージ電流 (マイナス電流) を図中に示す経路に放電させてサージ電圧をクランプするので、それぞれ対応する内部回路 (本例ではVDD2パッド212・GND2パッド222 間に接続されている内部回路24を図示している) を保護する。

【 0 0 7 6 】

即ち、第 1 の実施形態の静電気放電保護回路装置によれば、サージ入力源が人体モデル (HBM) の場合に限らず、マシンモデル (MM) やパッケージ帯電モデル (CDM) の場合にも良好な保護特性を実現し、信頼性を高めることが可能になり、極めて効果的である。

【 0 0 7 7 】

なお、第 1 の実施形態の静電気放電保護回路装置を実際のLSI (例えばASIC) に適用する場合には、使用トランジスタの閾値などの調整が必要になるが、トランジスタの閾値やチャネル幅 $W$ /チャネル長 $L$ により任意に変更可能であるので、設計の自由度が高く、有利である。

【 0 0 7 8 】

＜第 1 の実施形態の変形例＞

第 1 の実施形態で示した各ESD 保護回路は、それを内蔵するLSI が応用製品の基板に実装されるまでの間は予め保護動作状態に設定しておくことが望ましい。

そこで、上記LSI に外部から供給される外部信号とか、LSI 内部の設定等により保護動作状態に設定可能なように構成することが望ましい。このような構成の3つの実施例について以下に説明する。

## 【 0 0 7 9 】

## (実施例 1)

図 5 は、図 1 に示したCMOS LSIに対して、外部信号によりESD 保護回路を保護動作状態に設定可能にする構成を付加したCMOS LSIの一部を示す。

## 【 0 0 8 0 】

図 5 中、31i は複数個設けられたESD 保護回路(ESD) のうちの1つを代表的に示している。このESD 保護回路31i に接続されている共通トリガバイアス線30 (積分回路29のR の一端) に外部端子51が接続されており、この外部端子51および接地線GND に両端が電氣的に接続されたフューズ素子52がLSI 内に形成されている。

## 【 0 0 8 1 】

上記フューズ素子52がオン状態 (初期状態) の場合は、共通トリガバイアス線30が接地電位であり、ESD 保護回路31i はオン状態 (保護動作状態) に設定される。そして、このLSI が応用製品の基板に実装された後、LSI 外部から外部端子51と接地線GND との間にフューズ溶断電流が供給されてフューズ素子52がオフ状態にされた状態では、前記した第 1 の実施形態と同様の動作が可能になる。

## 【 0 0 8 2 】

## (実施例 2)

図 6 は、図 1 に示したCMOS LSIに対して、LSI 内部の設定によりESD 保護回路を保護動作状態に設定可能にする構成を付加したCMOS LSIの一部を示す。

## 【 0 0 8 3 】

図 6 中、31i は複数個設けられたESD 保護回路(ESD) のうちの1つを代表的に示している。このESD 保護回路31i に接続されている共通トリガバイアス線30と任意の接地線GND との間に電氣的に接続されたスイッチ素子 (例えばNMOSFET ) 54がLSI 内に形成されている。このスイッチ素子54は、LSI 外部あるいはLSI 内部から供給されるスイッチ制御信号によってオン/オフ状態が制御される。

## 【 0 0 8 4 】

上記スイッチ素子54がオン状態に制御されている場合は、共通トリガバイアス線30が接地電位であり、ESD 保護回路31i はオン状態（保護動作状態）に設定される。このLSI が応用製品の基板に実装された後、スイッチ素子54がオフ状態に制御された状態では、前記した第1の実施形態と同様の動作が可能になる。

## 【 0 0 8 5 】

なお、LSI 内部の電氣的消去／再書き込みが可能な不揮発性メモリセル(EEPROM)等の手段を用いてスイッチ素子54をスイッチ制御するように構成することも可能である。

## 【 0 0 8 6 】

## （実施例3）

図7は、図1に示したCMOS LSIに対して、LSI 実装時に内蔵のESD 保護回路を保護動作状態に設定可能にする構成を付加したCMOS LSIの一部を示す。

## 【 0 0 8 7 】

図7中、31i は複数個設けられたESD 保護回路(ESD) のうちの1つを代表的に示している。このESD 保護回路31i に接続されている共通トリガバイアス線30に外部設定端子55が接続されており、この外部設定端子55と任意の接地線との間に電氣的に接続されたプルダウン用の高抵抗素子56がLSI 内に形成されている。

## 【 0 0 8 8 】

初期状態では、共通トリガバイアス線30が接地電位であり、ESD 保護回路31i はオン状態（保護動作状態）に設定される。このLSI が応用製品の基板に実装される時、外部設定端子55が基板上の電源配線パターンに接続された状態では、共通トリガバイアス線30が電源電位になるので、前記した第1の実施形態と同様の動作が可能になる。

## 【 0 0 8 9 】

## &lt;第2の実施形態&gt;

第1の実施形態では、交流(AC)的なサージ入力があるESD 保護回路で検出した結果を保持回路で保持した電圧により残りのESD 保護回路にトリガをかけるAC的なトリガ方式を用いたが、これに限らず、AC的なサージ入力があるESD 保護回路



で検出した場合の保護回路内部ノードの直流(DC)電圧により残りのESD 保護回路にトリガをかけるDC的なトリガ方式を併用することも可能であり、その一例について以下に説明する。

## 【 0 0 9 0 】

図 8 は、本発明の第 2 の実施形態に係るCMOS LSIであって、図 1 に示した第 1 の実施形態に係るCMOS LSIに対して、DC的なトリガ方式を併用する構成を付加したCMOS LSIの一部を示す。

## 【 0 0 9 1 】

図 8 において、611 は複数個設けられたESD 保護回路(ESD) のうちで電圧クランプ素子としてSCR を用いるESD 保護回路の 1 つを代表的に示している。このESD 保護回路611 は、第 1 の実施形態における各ESD 保護回路311 ～314 と比べて、SCR トリガ用のNMOSトランジスタTNに対応して並列に接続された別の直流トリガ用のNMOSトランジスタTN2 が付加されている点が異なり、その他は同じであるので図 1 中と同一符号を付している。

## 【 0 0 9 2 】

615 は複数個設けられたESD 保護回路(ESD) のうちで電圧クランプ兼トリガ素子TNを用いるESD 保護回路の 1 つを代表的に示している。このESD 保護回路615 は、第 1 の実施形態における各ESD 保護回路315 と比べて、トリガ素子TNに並列に接続された別の直流トリガ用のNMOSトランジスタTN2 が付加されている点が異なり、その他は同じであるので図 1 中と同一符号を付している。

## 【 0 0 9 3 】

電圧クランプ素子としてSCR を用いるESD 保護回路611 は、サージ検出時にSCR のNPN トランジスタQNのベース電位が上昇する点に着目し、上記SCR のNPN トランジスタQNのベースと全てのESD 保護回路611,615 の直流トリガ用NMOSトランジスタTN2 のゲートとを相互に接続するように直流トリガ線60を設けている。

## 【 0 0 9 4 】

上記構成によれば、電圧クランプ素子としてSCR を用いる複数のESD 保護回路611 のうちの任意のESD 保護回路によるサージ検出時にそのSCR のNPN トランジスタQNのベース電位(直流電位)が上昇し、この直流電位が直流トリガ線60を経

て残りのESD 保護回路611,615 にトリガ信号として伝達される。

【0095】

したがって、第1の実施形態におけるトリガ信号線40を用いたAC的なトリガ動作と上記直流トリガ線60を用いたDC的なトリガ動作の併用により、SCR に対するトリガ動作が確実に行われるようになり、ESD 保護動作が確実に行われる。

【0096】

【発明の効果】

上述したように本発明の半導体装置によれば、低電源電圧化が進んでいるLSI にSCR を用いたESD 保護回路を適用する場合に、低電圧トリガで良好な保護特性を実現し、信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るSCR を用いたESD 保護回路装置を内蔵したCMOS LSIの一部を示す回路図。

【図2】サージ入力源が人体モデル（HBM）、マシンモデル（MM）、パッケージ帯電モデル（CDM）の場合のそれぞれのサージ入力波形の一例を示す図。

【図3】図1の回路のマシンモデル（MM）での動作を説明するために一部の回路を取り出して示す回路図。

【図4】図3の回路のマシンモデル（MM）での動作波形の一例を示す波形図。

【図5】図1のCMOS LSIに対して、外部信号によりESD 保護回路を保護動作状態に設定可能にする構成を付加したCMOS LSIの一部を示す回路図。

【図6】図1のCMOS LSIに対して、LSI 内部の設定によりESD 保護回路を保護動作状態に設定可能にする構成を付加したCMOS LSIの一部を示す回路図。

【図7】図1のCMOS LSIに対して、LSI 実装時にESD 保護回路を保護動作状態に設定可能にする構成を付加したCMOS LSIの一部を示す回路図。

【図8】本発明の第2の実施形態に係るCMOS LSIとして、第1の実施形態に係るCMOS LSIに対して、DC的なトリガ方式を併用する構成を付加したCMOS LSIの一部を示す回路図。

【図 9】 CMOS LSIの入力回路に接続されたSCR を用いたESD 保護回路の従来例 1 を示す等価回路図。

【図 1 0】 CMOS LSIの入力回路に接続されたSCR を用いたESD 保護回路の従来例 2 を示す等価回路図。

【図 1 1】 現在提案中の半導体装置の一例に係るCMOS LSIにおいてSCR を用いたESD 保護回路の適用例を示す回路図。

【図 1 2】 図 1 1 中の第 1 のESD 保護回路を示す等価回路図。

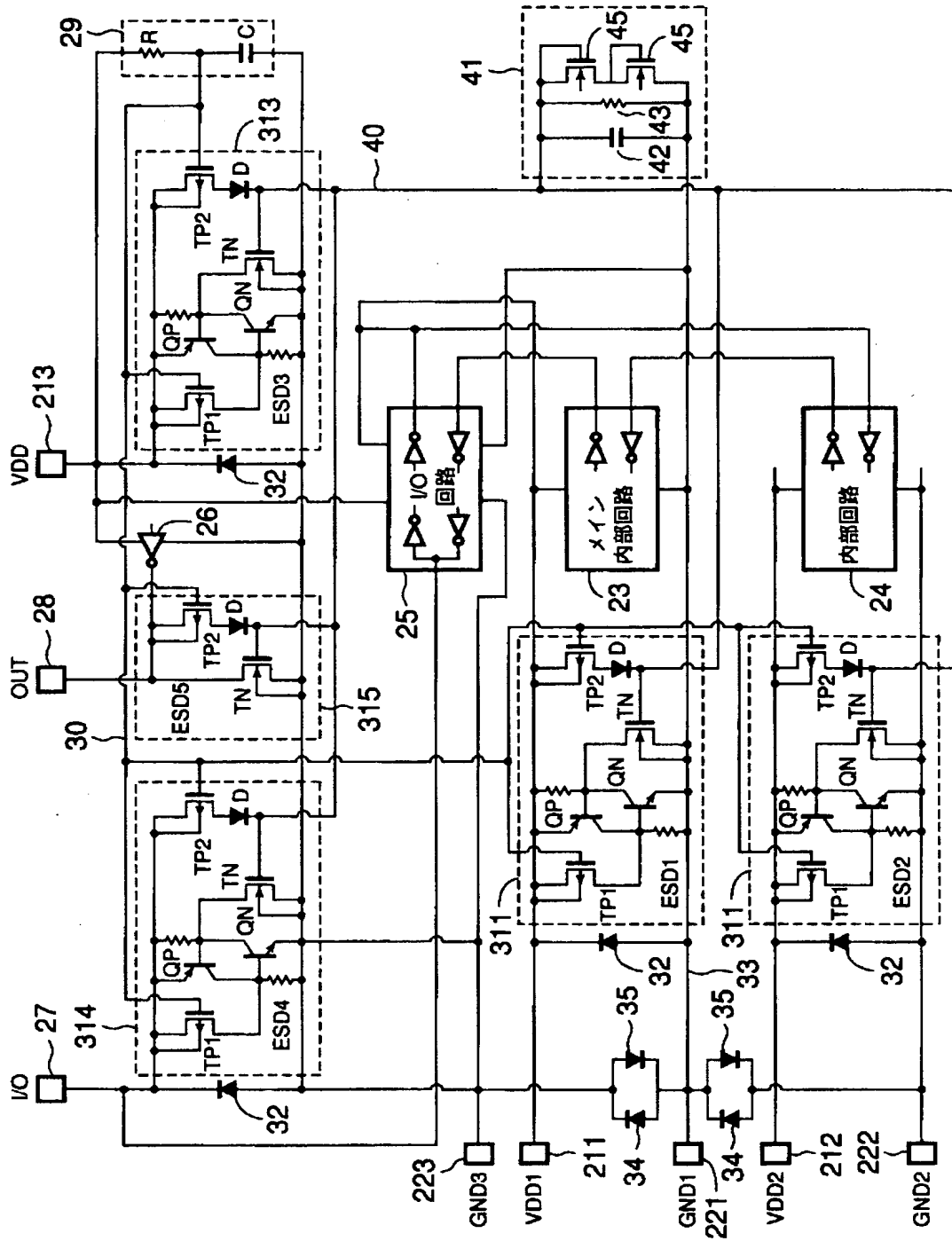
【図 1 3】 図 1 1 中のSCR の電圧・電流特性を概略的に示す特性図。

【符号の説明】

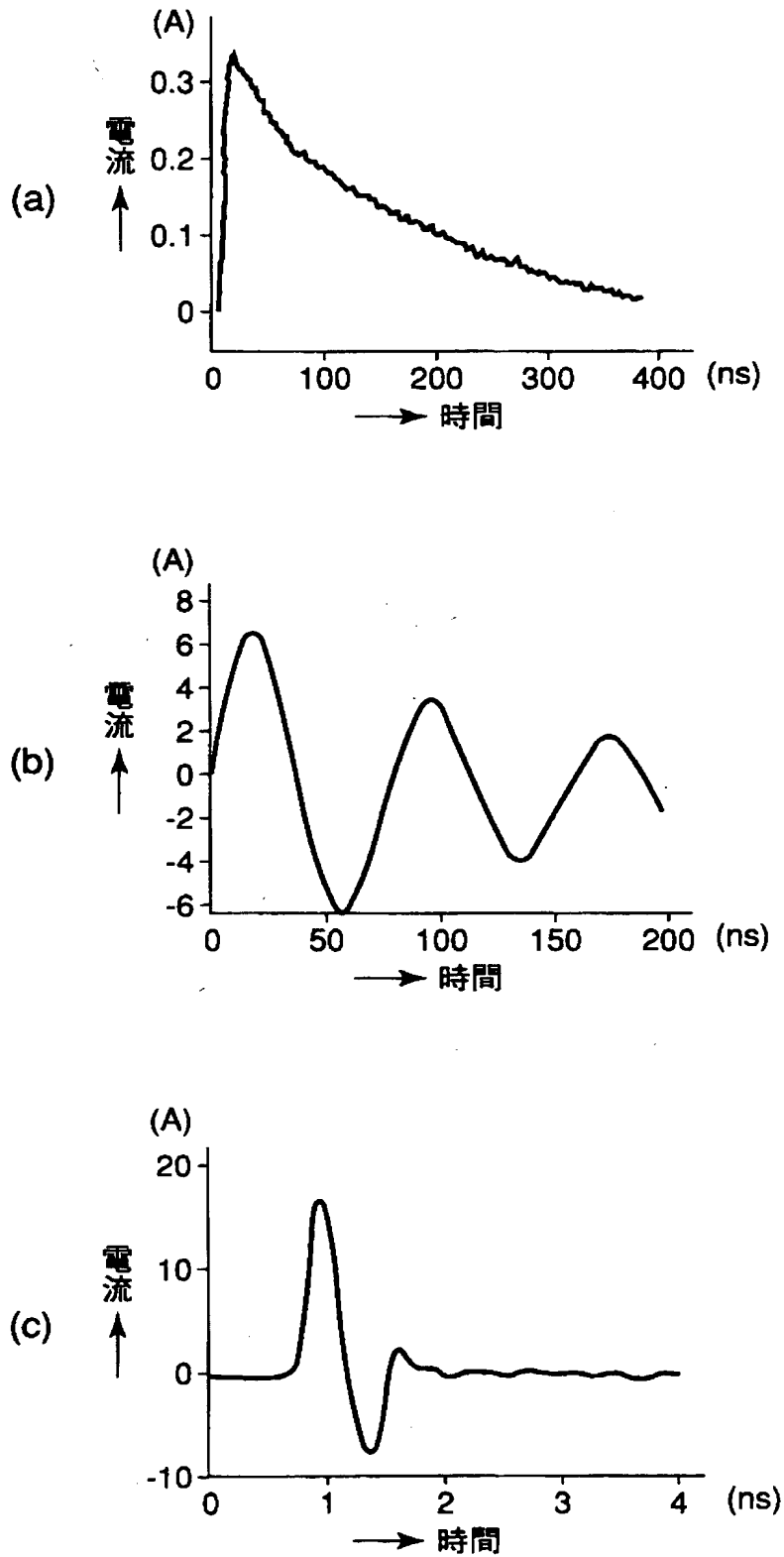
211 ～213 …VDD1パッド～VDD3パッド、221 ～223 …GND1パッド～GND3パッド、23…メイン内部回路、24…内部回路、25…I/O 回路、26…出力バッファ回路、27…I/O パッド、28…OUT パッド、29…積分回路、30…共通トリガバイアス線、311 ～315 …第 1 のESD 保護回路(ESD1)～第 5 のESD 保護回路(ESD5)、32…逆方向電流吸収用のダイオード、33…共通放電線、34, 35…寄生ダイオード素子、40…トリガ信号線、41…電位保持回路、SCR …サイリスタ（電圧クランプ素子）、QP…SCR のPNP トランジスタ、QN…SCR のNPN トランジスタ、TP1 …SCR トリガ用のPMOSトランジスタ、TN…SCR トリガ用のNMOSトランジスタ、TP2 …サージ検出用のPMOSトランジスタ、D …サージ検出用のダイオード。

【書類名】 図面

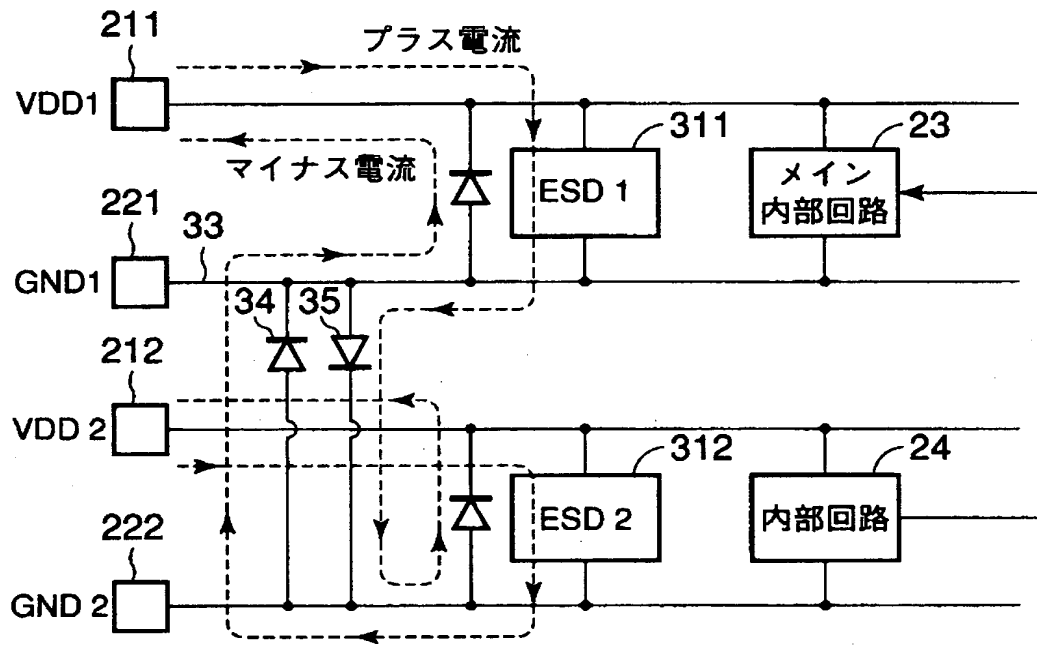
【図1】



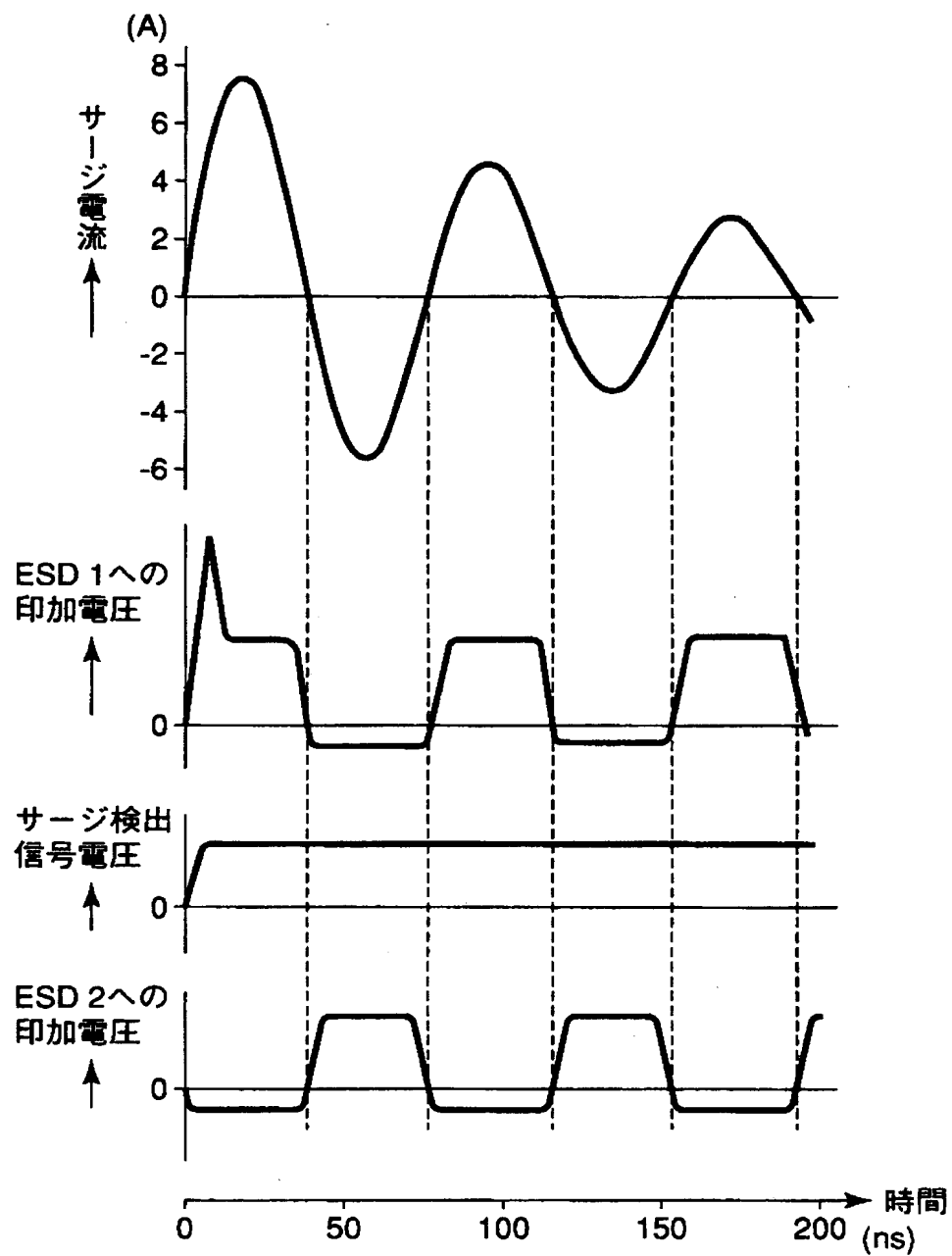
【図 2】



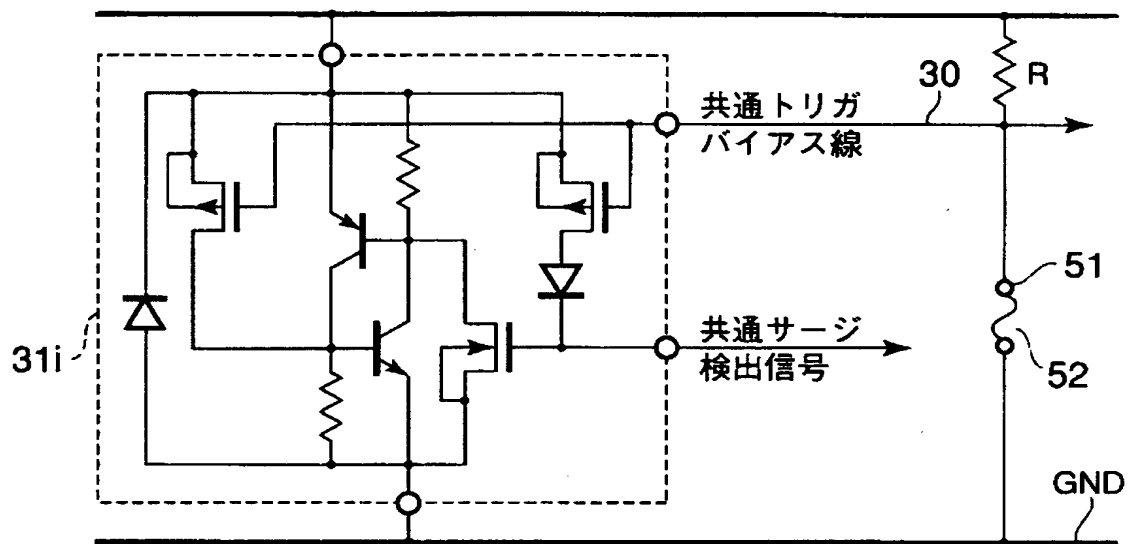
【図 3】



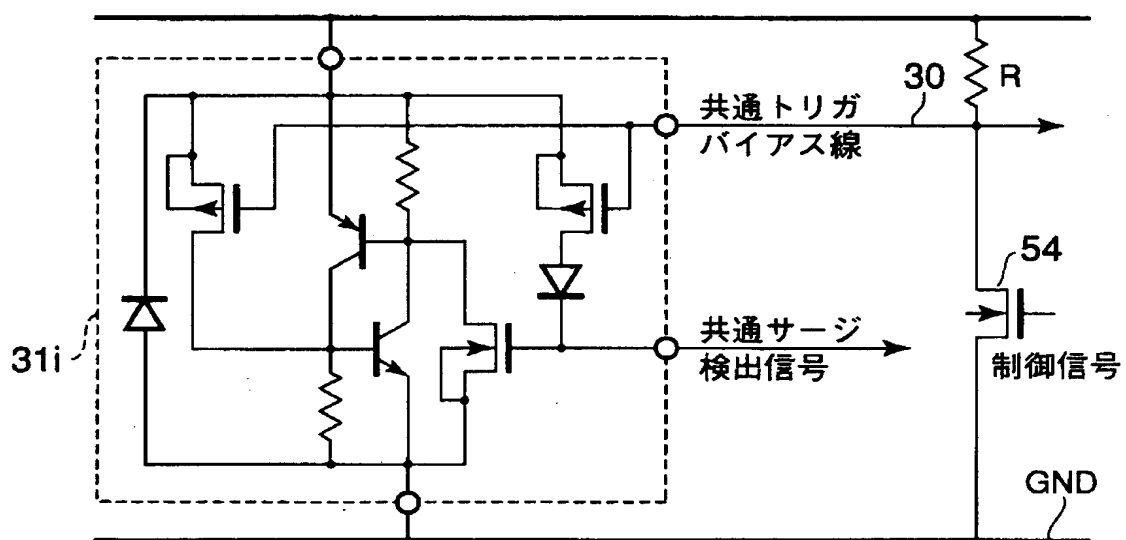
【図 4】



【図 5】

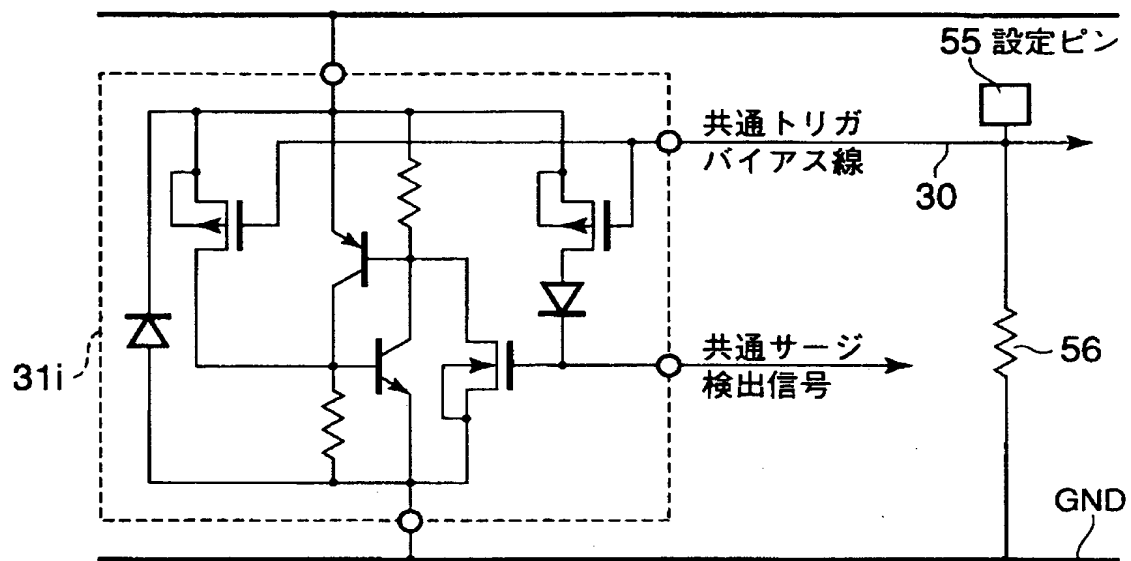


【図 6】

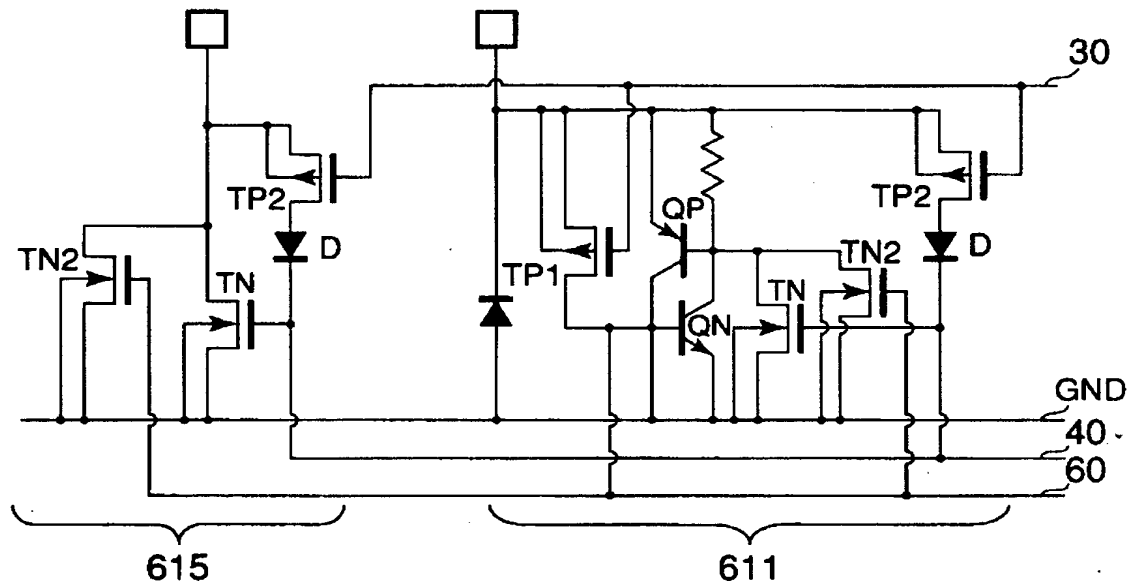




【図 7】

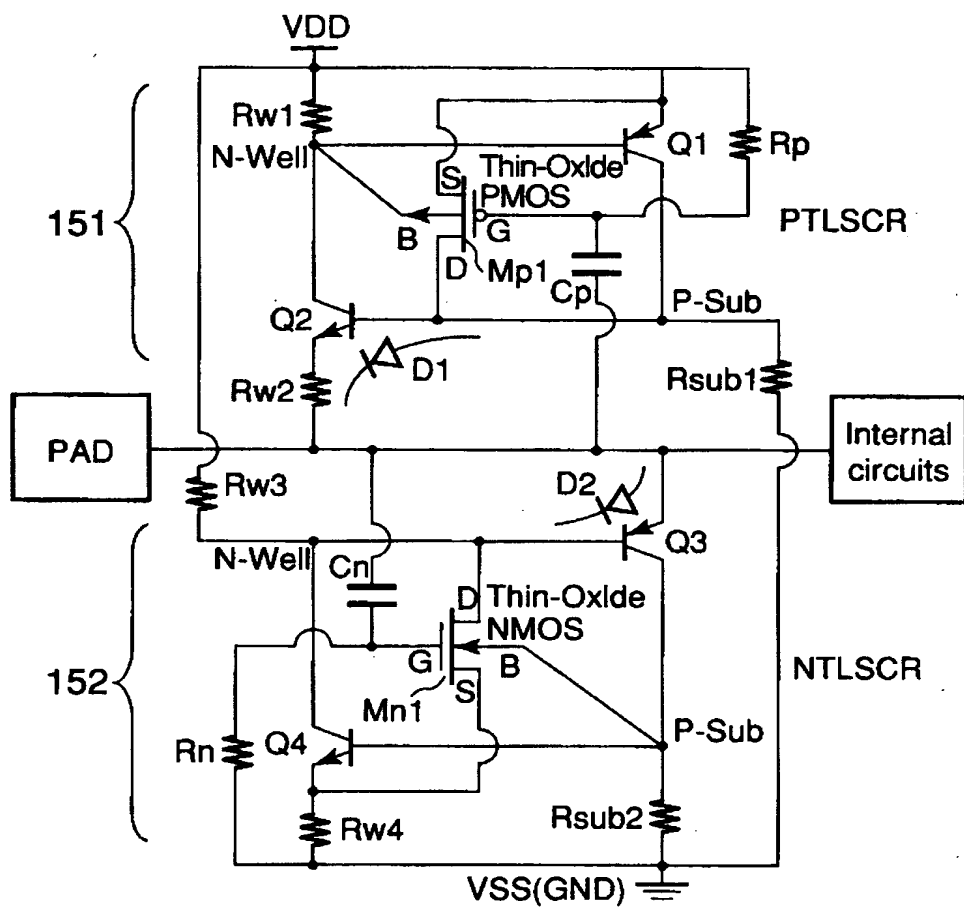


【図 8】

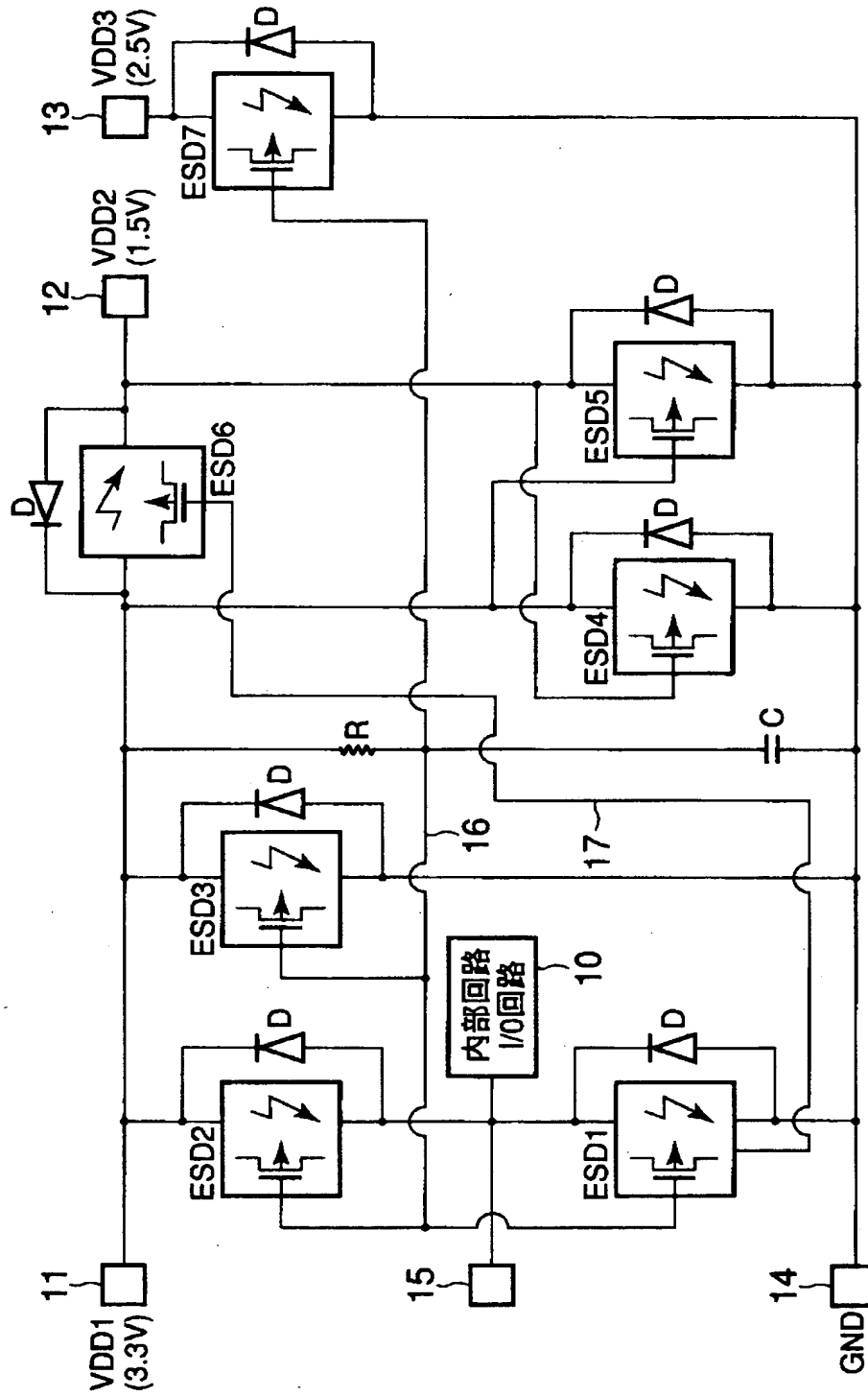




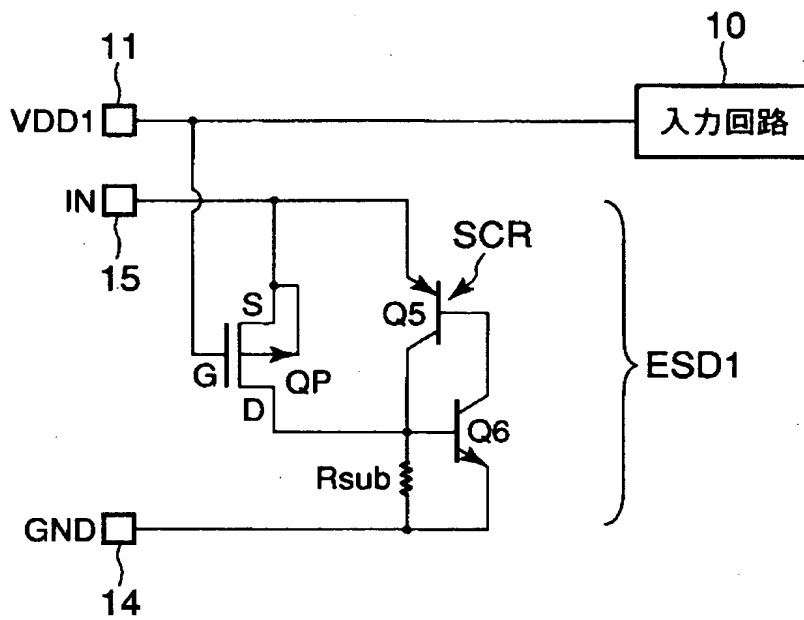
【図 10】



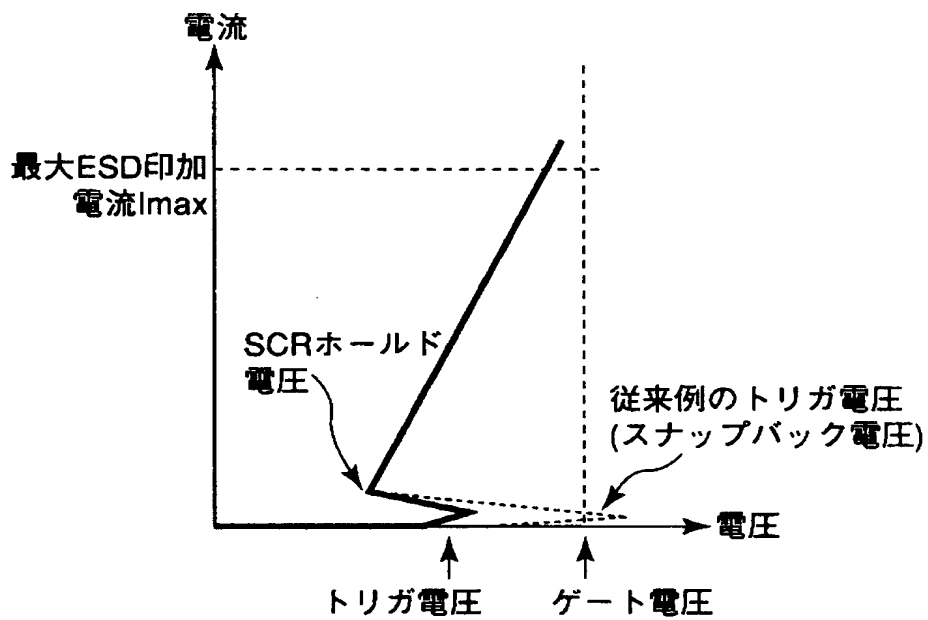
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 低電源電圧化が進んでいるLSI にSCR を用いたESD 保護回路を適用する場合に、低電圧トリガで良好な保護特性を実現し、信頼性を高める。

【解決手段】 VDD1端子211 ・ GND1端子221 間に接続された第 1 のESD 保護回路311 と、VDD2端子212 ・ GND2端子222 間に接続され、第 1 の保護ESD 回路と同様の構成を有する第 2 のESD 保護回路312 と、複数のESD 保護回路の各サージ検出出力ノードを相互に接続し、任意のESD 保護回路のサージ検出出力を残りのESD 保護回路にトリガ信号として伝達させるトリガ信号線40と、GND1端子には直接に接続され、GND2端子に対して順方向の向きの寄生ダイオード素子34および逆方向の向きの寄生ダイオード素子35を並列に介して接続され、複数のESD 保護回路で共通に使用される共通放電線33とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝